

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-111845

(43)公開日 平成11年(1999)4月23日

(51)Int.Cl.⁶
H 01 L 21/768
21/316
21/318

識別記号

F I
H 01 L 21/90 M
21/316 M
21/318 M
21/90 K

審査請求 未請求 請求項の数 6 OL (全 8 頁)

(21)出願番号 特願平9-271134

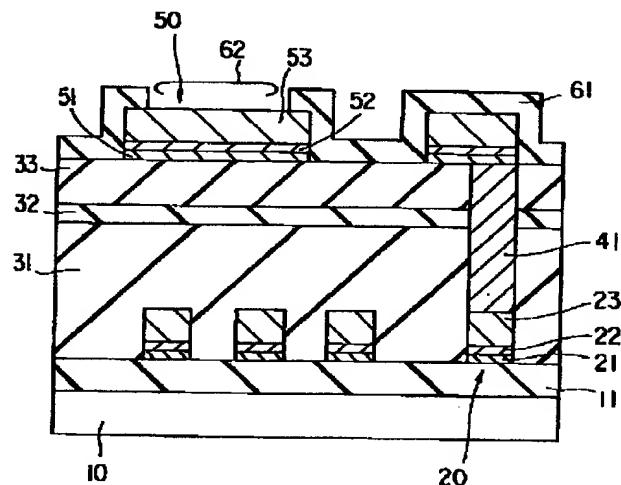
(22)出願日 平成9年(1997)10月3日

(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72)発明者 松能 正
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】不純物の拡散、並びに水や水酸イオンの侵入を抑制し、素子の信頼性の向上を図る。
【解決手段】絶縁膜11上に複数本の第1の金属配線20が形成されている。素子分離絶縁膜11及び第1の金属配線20上に、フッ素が高濃度に添加されたシリコン酸化膜31、シリコン窒化膜32及びSiO₂膜33が積層されている。SiO₂膜33の比誘電率は、SiOF膜31より高く、シリコン窒化膜32より低い値を有する。SiOF膜31、シリコン窒化膜32、SiO₂膜33に第1の金属配線20に接続するヴィア・ホールが形成され、ヴィア・ホール中にWプラグ材41が埋め込み形成されている。SiO₂膜33上に第2の金属配線50が形成されている。



1

【特許請求の範囲】

【請求項1】基板上に形成された下層配線と、前記基板及び下層配線上に形成された比誘電率が3.9未満の下層絶縁膜と、この下層絶縁膜上に形成され、比誘電率が該下層絶縁膜より高く、水及び水酸イオンの透過率が低い拡散抑制絶縁膜と、この拡散抑制絶縁膜上に形成され、比誘電率が該拡散抑制絶縁膜より低い上層絶縁膜と、前記上層絶縁膜上に形成、又は前記上層配線に埋め込み形成された上層配線とを具備してなることを特徴とする半導体装置。

【請求項2】前記拡散抑制絶縁膜は、シリコン酸化膜或いはシリコン窒化膜であることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記下層絶縁膜或いは上層絶縁膜は、フッ素或いはホウ素が添加されたシリコンを含む絶縁膜であることを特徴とする請求項1に記載の半導体装置。

【請求項4】前記下層絶縁膜の膜密度が、熱酸化により得られるシリコン酸化膜の膜密度より低いことを特徴とする請求項1に記載の半導体装置。

【請求項5】前記拡散抑制絶縁膜の膜厚が、前記最下層配線上の下層絶縁膜の膜厚より薄いことを特徴とする請求項1に記載の半導体装置。

【請求項6】基板上に下層配線を形成する工程と、前記基板及び下層配線上に比誘電率が3.9未満である下層絶縁膜を形成する工程と、

前記下層絶縁膜を平坦化した後、該下層絶縁膜上に、比誘電率が該下層絶縁膜より高く、水及び水酸イオンの拡散係数が低い拡散抑制絶縁膜を形成する工程と、

前記拡散抑制絶縁膜上に、比誘電率が該拡散抑制絶縁膜より低い上層絶縁膜を形成する工程と、

前記上層絶縁膜上に上層配線を形成するか、又は該上層絶縁膜に溝を形成しこの溝内に上層配線を埋め込み形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多層配線を絶縁する層間絶縁膜を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年、配線間並びに多層層間絶縁膜容量が半導体デバイス性能（処理速度、消費電力）に与える影響が大きくなってきており、従来層間絶縁膜として使用されていたSiO₂の比誘電率（=3.9）より低い低誘電率絶縁膜を層間絶縁膜に用いる技術の開発が進められている。

【0003】低誘電率の絶縁膜としては、SiO₂構造に対しフッ素（F）やホウ素（B）を添加した材料が知

2

られている。しかしながら、通常のSiO₂膜の成膜方法では、これらの添加物を安定な状態でSiO₂膜中に取り込むことは容易ではない。これらの添加物をSiO₂膜中に安定した状態で取り込むために、従来よりさらにプラズマ密度を高めたHDP-CVD（High Density Plasma - Chemical Vapor Deposition）法を用いて成膜する技術が知られている。

【0004】しかし、カーボンを含有しないガス系を用いてHigh-Density-Plasma（HDP）によって成膜された膜内には、従来成膜方法では膜内部に生成されていたダンギングボンドやCH_xからなる不安定構造の絶対量が激減する。そのため、膜中に取り込まれた余剰のFや水酸イオンは、上記の欠陥領域に反応・再結合することなく、上層配線方向へ拡散して金属と絶縁膜との密着性を劣化させるという問題があつた。

【0005】さらには、半導体外部環境より拡散導入される水、水酸イオンが前記絶縁体内部に拡散しやすく、素子特性や金属配線特性の劣化が起こりやすいという問題があつた。

【0006】また、SiO₂膜以外にも、比誘電率が3.9未満であるSOG膜やポリイミド等の有機系低誘電率膜の低誘電率膜においても同様に吸湿性に富み、素子特性及び金属配線の特性を劣化させてしまうという問題がある。

【0007】

【発明が解決しようとする課題】上記したように、上層配線及び下層配線間を絶縁分離する層間絶縁膜に比誘電率が3.9未満である低誘電率絶縁膜を用いた場合、層間絶縁膜に添加されている不純物が上層配線方向へと拡散して金属と絶縁膜との密着性を劣化させるという問題があつた。また、低誘電率絶縁膜は、透過性に富み水や水酸イオン等が拡散しやすく、素子特性や配線等を劣化させるという問題があつた。

【0008】本発明の目的は、上層配線及び下層配線間を分離絶縁する層間絶縁膜に添加されている不純物の拡散、並びに該層間絶縁膜への水や水酸イオンの侵入を抑制し、素子の信頼性の向上を図り得る半導体装置を提供することにある。

【0009】

【課題を解決するための手段】

【構成】本発明は、上記目的を達成するために以下のように構成されている。

（1）本発明（請求項1）の半導体装置は、基板上に形成された下層配線と、前記基板及び下層配線上に形成された比誘電率が3.9未満の下層絶縁膜と、この下層絶縁膜上に形成され、該下層絶縁膜より比誘電率が高く、水及び水酸イオンの透過率が低い拡散抑制絶縁膜と、この拡散抑制絶縁膜上に形成され、比誘電率が該拡散抑制絶縁膜より低い上層絶縁膜と、前記上層絶縁膜上

に形成、又は該上層絶縁膜に埋め込み形成された上層配線とを具備してなることを特徴とする。

(2) 本発明(請求項6)の半導体装置の製造方法は、基板上に下層配線を形成する工程と、前記基板及び下層配線上に比誘電率が3.9未満である下層絶縁膜を形成する工程と、前記下層絶縁膜上に、比誘電率が該下層絶縁膜より高く、水及び水酸イオンの拡散係数が低い拡散抑制絶縁膜を形成する工程と、前記拡散抑制絶縁膜上に、比誘電率が該拡散抑制絶縁膜より低い上層絶縁膜を形成する工程と、前記上層絶縁膜上に上層配線を形成するか、又は該上層絶縁膜に溝を形成しこの溝内に上層配線を埋め込み形成する工程とを含むことを特徴とする。

【0010】本発明の好ましい実施態様を以下に示す。
(A-1) 前記最下層及び上層絶縁膜は、フッ素、ホウ素若しくは炭素が不純物として添加されたシリコンを含む絶縁膜である。

(A-2) 前記下層絶縁膜は、HDP-CVD法で形成された。

(A-3) 前記拡散抑制絶縁膜は、少なくとも298.15~400.15Kの範囲内において、前記下層絶縁膜より水及び水酸イオンの透過率が低い。なお、水とは、H₂O及びD₂Oを含む。

(B-1) 前記下層絶縁膜の膜密度が、熱酸化により得られるシリコン酸化膜の膜密度より低い。

(B-2) 前記下層絶縁膜或いは上層絶縁膜が、SOG膜或いは有機系絶縁膜である。

(C) 前記拡散抑制絶縁膜の膜厚が、前記下層配線上の下層絶縁膜の膜厚より薄い。

(D) 前記下層配線或いは上層配線が金属配線である。

【0011】【作用】本発明は、上記構成によって以下の作用・効果を有する。拡散抑制絶縁膜によって、下層絶縁膜中に添加されている不純物が、上層絶縁膜と上層配線との界面まで拡散することを防止し、上層絶縁膜と上層配線との密着性の劣化を防止することが可能となる。

【0012】また、拡散抑制絶縁膜は、水や水酸イオン等の透過率が低いので、その下層の下層絶縁膜に水や水酸イオンが拡散することを抑制することが可能となり、信頼性が向上する。

【0013】水や水酸イオン透過率が低い絶縁膜は、一般的に比誘電率が高い物質である。従って、拡散抑制絶縁膜上に上層配線を形成すると、上層配線間の容量が増加する。そこで、拡散抑制絶縁膜より比誘電率が低い上層絶縁膜を形成し、該上層絶縁膜上に上層配線が形成することによって、多層層間配線容量の増加を防いでいる。

【0014】また、配線間容量は、容量は線間を埋め込む絶縁膜でなく、配線直下の絶縁膜にも強く影響される。従って、配線が形成される上層絶縁膜は、拡散抑制

絶縁膜より比誘電率が低いので、線間容量の増加も抑制される。

【0015】また、上層と下層配線との間の層間容量を低減するためには、拡散抑制絶縁膜の膜厚が、下層絶縁膜の下層配線上の膜厚より薄くしなければならない。また、下層絶縁膜を平坦化した後拡散抑制絶縁膜を形成することによって、特性のバラツキのない半導体装置を形成することができる。

【0016】

10 10 【発明の実施の形態】本発明の実施の形態を以下に図面を参照して説明する。

【第1実施形態】図1は、本発明の第1実施形態に係る2層配線を有する半導体装置の構成を示す断面図である。なお、本実施形態では、素子分離並びにMOSFET等の形成工程は省略し、多層金属配線に直接関わる部分のみを図示している半導体基板10上に素子分離絶縁膜11が形成されている。素子分離絶縁膜11上に複数本の第1の金属配線(下層配線)20が形成されている。第1の金属配線20は、Ti膜21、TiN膜22及びAl-Cu合金膜23が積層されて構成されている。

20 20 【0017】素子分離絶縁膜11及び第1の金属配線20上に、HDP-CVD法によって形成され、フッ素が高濃度に添加されているシリコン酸化膜(以下SiOF膜)(下層絶縁膜)31が形成されている。SiOF膜31は、その比誘電率の値が3.6であり、SiO₂膜の比誘電率値3.9に比べて低い値を有する。従って、従来層間絶縁膜と用いられていたSiO₂膜に比べて配線間容量を低減することができる。

30 30 【0018】SiOF膜31上に、第1の金属配線20上のSiOF膜31の膜厚より薄い膜厚のシリコン塗化膜(拡散抑制絶縁膜)32が形成されている。シリコン塗化膜32は、Si-Nのネットワークが強固即ち緻密な膜であることから、水及び水酸イオンの拡散に寄与する経路が極端に少ない構造として存在することが可能となり、水(H₂O, D₂O)及び水酸イオンの透過率がSiOF膜31と比べて低い絶縁膜となり、水及び水酸イオンがSiOF膜31の中に侵入することを抑制する。また、同様に、SiOF膜31中の余剰なFが後述するSiO₂膜中に拡散することを防ぎ、該SiO₂膜と後述する第2の金属配線の密着性の劣化を防止することが可能となる。

40 40 【0019】シリコン塗化膜32上にSiO₂膜(上層絶縁膜)33が形成されている。SiO₂膜33の比誘電率は、SiOF膜31より高く、シリコン塗化膜32より低い値を有する。

50 50 【0020】SiOF膜31、シリコン塗化膜32、SiO₂膜33に第1の金属配線20に接続するヴィアホールが形成され、ヴィアホール中にWプラグ材41が埋め込み形成されている。

【0021】 SiO_2 膜33上に複数本の第2の金属配線(上層配線)50が形成されている。この第2の金属配線50は、 Ti 膜51、 TiN 膜52、 Al-Cu 合金膜53が積層されて構成されている。また、1本の第2の金属配線50は、 W プラグ材41に接続されている。

【0022】 SiO_2 膜33及び第2の金属配線50上にチップを保護するためのパッシベーション絶縁膜として SiON 膜61が形成されている。 SiON 膜61には、第2の金属配線50に接続する接続窓62が形成されている。

【0023】次いで、この半導体装置の製造工程を説明する。図2、3は、本発明の第1実施形態に係わる2層金属配線の製造方法を示す工程断面図である。本工程断面図においては、素子分離並びにMOSFET形成工程は省略し、2層金属配線形成に直接関わる工程部分のみを図示している。

【0024】先ず、半導体基板10上に、後に形成する配線の絶縁分離層となる素子分離絶縁膜11を堆積した後、絶縁膜11上に Ti 膜21を20nm積層する。そして、 Ti 膜21上に TiN 膜22を700nmの膜厚でスパッタ法により堆積する。連続して、 TiN 膜22上にスパッタ法を用いて Al-Cu 合金膜23を400nmの膜厚で堆積する。次いで、リソグラフィ技術を用いて配線部分の Al-Cu 合金膜23上にレジストパターンを形成する。そして、レジストパターンをマスクとしてRIE(Reactive Ion Etching)法を用いて、 Al-Cu 合金膜23、 TiN 膜22及び Ti 膜21を順次エッティングして第1の金属配線20を形成加工した後、レジストパターンを除去する(図2(a))。

【0025】次いで、図2(b)に示すように、 BiAs-HDP-CVD (Bias-HighDensityPlasma ChemicalVaporDeposition)法を用いて SiOF 膜31を1.3 μm 堆積する。 SiOF 膜31の成膜は、ICP-TypのHDP-CVD装置内に、 SiF_4/O_2 からなる反応ガスに BiAs スパッタ効果を得るために Ar ガスを添加したガス系を導入して、 $1 \times 10^{12} \text{ cm}^{-3}$ のプラズマ密度で行った。

【0026】 SiOF 膜31を形成するための反応ガスには、 Si 源となる $\text{TEOS}/\text{O}_2/\text{NF}_3$ 、 $\text{TEOS}/\text{O}_2/\text{CF}_4$ 、 $\text{TEOS}/\text{O}_2/\text{C}_2\text{F}_6$ 等の TEOS ガスにフッ素を構成ガス中に持つ材料を添加したガス系、 Si 源となる $\text{SiH}_4/\text{O}_2/\text{CF}_4$ 、 $\text{SiH}_4/\text{O}_2/\text{C}_2\text{F}_6$ 等の SiH_4 ガスフッ素を構成ガス中に持つ材料を添加したガス系、或いは SiF_4/O_2 、 $\text{SiH}_2\text{F}_2/\text{O}_2$ 、 $\text{SiF}_4/\text{SiH}_4/\text{O}_2$ 、 $\text{SiH}_2\text{F}_2/\text{SiH}_4/\text{O}_2$ 等の Si 及び F が反応ガスの1分子中に含まれるガス系等を用いることができる。上記のうち、 Si 源となるガスに炭素を含有しない単純な系となる材料ガスを用いるほうがより望ましい。

【0027】HDP-CVD法を用いることによって、成膜の際に得られるイオンが従来と比較してより単純且つ安定なイオンの形態でウェハ上に供給可能となることから、膜を構成する分子ネットワーク内に欠陥数の少ない絶縁膜を得ることが可能となる。例えば、従来の平行平板型電極のCVD装置によって得られた膜をESR法による測定した結果、 $6 \times 10^{18} [\text{spin}/\text{cm}^3]$ の $\text{E}'\text{ center}$ が観測されたのに対し、HDP-CVD法によって得られた膜の値が検出限界以下であった。本実施形態においては、 $\text{SiF}_4/\text{SiH}_4/\text{O}_2$ 成膜ガスにより、 SiOF 膜31を堆積した。

【0028】次いで、図2(c)に示すように、CMP法を用いて SiOF 膜31の表面を研磨し、平坦化処理を行う。この研磨工程において、第1の金属配線20上の SiOF 膜31の膜厚が0.8 μm になるまで、 SiOF 膜31を研磨する。

【0029】次いで、図3(d)に示すように、 SiOF 膜31上に減圧プラズマCVD法により、シリコン窒化膜32を50nm堆積し、続いて反応ガス及び成膜条件を変え、同一チャンバー中にて SiO_2 膜33を150nm堆積する。

【0030】 SiO_2 膜33の成膜には、 TEOS/O_2 系、更に少量のF化合物ガスが添加された状態での成膜が考えられ、 SiO_2 膜33中には、フッ素、炭素等の不純物が混入していても良い。

【0031】なお、シリコン窒化膜32と SiO_2 膜33とを同一チャンバー中にて連続成膜しているが、別チャンバー又は別装置を用いた非連続成膜を行うことも可能である。

【0032】次いで、図3(e)に示すように、 SiOF 膜31、シリコン窒化膜32及び SiO_2 膜33に前記第1の金属配線20と接続するヴィア・ホールをリソグラフィ技術とRIE技術によって開孔形成する。そして、選択W-CVD技術によりヴィア・ホール内にのみWプラグ材41を埋め込み形成する。

【0033】次いで、図3(f)に示すように、 SiO_2 膜33上にスパッタ法を用いて Ti 膜51を20nm、 TiN 膜52を700nm及び Al-Cu 合金膜53を400nmの膜厚で順次連続して堆積する。次いで、リソグラフィ技術により、配線パターンとなる部分の Al-Cu 膜53上にレジストパターンを形成する。そして、レジストパターンをマスクとして、RIEによって Ti 膜51、 TiN 膜52及び Al-Cu 膜53を順次エッティングし、第2の金属配線50を形成する。

【0034】そして、全面に、チップ保護を目的としたパッシベーション絶縁膜として例えば SiON 膜61を減圧CVD法によって200nm堆積する。そして、第2の金属配線50上の SiON 膜61を選択的に除去し、外部接続用の接続窓62を形成し、半導体装置が完成する。

【0035】本実施形態によれば、シリコン塗化膜32によって、SiOF膜31の中に水酸イオンが侵入することを防ぎ、能動素子(MOSFET)及び第1の金属配線の特性の劣化を防止することができる。また、シリコン塗化膜32は、SiOF膜31中の余剰なFが第2の金属配線50とSiO₂膜33の界面に到達するのを防ぎ、金属配線50とSiO₂膜33との密着性の劣化を防ぐ。

【0036】なお、シリコン塗化膜32以外にも、SiON等の緻密な膜を用いることも可能である。

【第2実施形態】図4は、本発明の第2実施形態に係わる2層金属配線を有する半導体装置の構成を示す断面図である。なお、図4において、図1と同一の部分には同一符号を付しその説明を省略する。

【0037】本実施形態の特徴は、SiOF膜31上の拡散抑制絶縁膜が、SiO_x(0<x<2)膜34であることである。SiO_x(0<x<2)膜34は、酸素が欠損することによって、膜中にSi-となるE'centerが形成される。SiO_x膜34の中に水酸イオン(-OH基)が侵入すると、Si-の欠陥部を-OH基が終端する反応が生じる。従って、SiO_x膜34下のSiOF膜31に供給される水酸イオンの絶対量が低減され、第1の金属配線20が劣化することを防止する。

【0038】また、同様にSiOF膜31の中の余剰なFが、SiO₂膜33に拡散することを防ぎ、SiO₂膜33と第2の金属配線50との密着性の劣化を防止する。次いで、この半導体装置の製造工程を説明する。図5、6は、本発明の第2実施形態に係わる微細化2層金属配線の製造方法を示す工程断面図である。

【0039】先ず、第1実施形態における図3(c)のSiOF膜31の平坦化後、図5(a)に示すように、SiOF膜31上に、減圧CVD法を用いてSiO_x(0<x<2)膜34を50nm成膜する。SiO_x膜34は、SiO₂に比べてSi比率の高いシリコン酸化膜とすべく、Siの供給源であるガス、例えばSiH₄の全ガス量に対する比率を、通常のプラズマCVDによるSiO₂の成膜条件より高めた環境を用いて形成する。

【0040】SiH₄ガスの分解効率は、装置仕様により異なるが、今回SiH₄ガス量を通常の1.2倍とし、その他の成膜条件については通常と同じ条件を用いることで、SiとOとの比がSi:1に対しO:1.7の膜を得ることができた。

【0041】SiO_x膜34の形成後、SiH₄ガス量を1/1.2に低下させてSiO₂膜が成長する条件に変更し、同一チャンバー中にてSiO₂膜33を150nm堆積する。そして、SiOF膜31、SiO_x膜34及びSiO₂膜33に第1の金属配線20と接続するヴィア・ホールを形成し、ヴィア・ホール内にWプラグ

材41を埋め込み形成する。なお、本実施形態では、SiO_x膜34とSiO₂膜33とを同一チャンバー中にて連続成膜しているが、別チャンバー又は別装置を用いた比連続成膜を行うことも可能である。

【0042】次いで、第1実施形態と同様に、SiO₂膜33上にTi膜51、TiN膜52、Al-Cu合金膜53が積層された第2の金属配線50を形成する。そして、第1実施形態と同様に、SiON膜61を減圧CVD法によって200nm堆積する。そして、第2の金属配線50上のSiON膜61を選択的に除去し、接続窓62を形成する(図5(b))。

【0043】本実施形態によれば、SiO_x膜下のSiOF膜に供給される水酸イオンの絶対量が低減することから、能動素子(MOSFET)及び金属配線の特性の劣化を防止することができる。同様に、SiOF膜中の余剰なFがSiO₂膜に拡散することを防ぎ、SiO₂膜と第2の金属配線との密着性の劣化を防止することができる。

【0044】【第3実施形態】図6は、本発明の第3実施形態に係わる2層配線の構造を示す断面図である。図6において、図1と同一な部分には、同一符号を付しその詳しい説明を省略する。本実施形態の特徴は、絶縁膜11及び第1の金属配線20上に形成された絶縁膜(下層絶縁膜)が、低誘電率シリケイト膜35で構成されていることである。低誘電率シリケイト膜35としは、BPSG、PSG或いはBSG等を用いることができる。低誘電率シリケイト膜は、SiO₂膜に比べて膜密度が低い膜であることから、水酸イオン等が透過しやすい膜である。

【0045】下層絶縁膜がシリケイト膜35であっても、緻密なシリコン塗化膜32によって水酸イオン等がシリケイト膜35に拡散することを防ぎ、第1の金属配線20が劣化することを防止する。また、第2実施形態と同様に、SiO_x(0<x<2)膜を用いることも可能である。

【0046】次に、この半導体装置の製造工程を説明する。図7は、本発明の第2実施形態に係わる微細化2層金属配線の製造方法を示す工程断面図である。先ず、第1実施形態と同様に、半導体基板10上に形成された絶縁膜11上に、Ti膜21、TiN膜22、Al-Cu合金膜23からなる第1の金属配線20を形成する(図7(a))。

【0047】次いで、シリケイト材をレジスト塗布と同様に、例えば3000rpmの回転を施しながら塗布した後、250度、30secの第1次熱処理、450度、30minの第2次熱処理を順次施すことにより、膜中の溶媒を気化させて硬化・膜化させ、膜厚1.5μmの低誘電率シリケイト膜35を形成する(図7(b))。

【0048】なお、シリケイト材として、日立化成社製

有機SOGR7 (Spin-OnGlass: SOG, Hitachi Chemical Co., Ltd., HSG-2209S-R7) や旭ガラス社製サイトップ、Sehumacher社製PAE (ポリアリルエーテル)、ダウケミカル社製BCB (ベンゾシクロブテン)、ダウケミカル社製PFCB (バーフルオロシクロブテン)、ダウケミカル社製無機SOGHSQ等が用いきことができる。

【0049】次いで、図7(c)に示すように、CMP (Chemical Mechanical Polish ing) 技術を用い、低誘電率シリケイト膜35を研磨し、表面の平坦化処理を施す。例えば、第1の金属配線20上の絶縁膜厚が、0.8μmになるまで研磨する。

【0050】第1実施形態の図3(d)～(f) 説明した工程を経ることによって、図6に示した半導体装置が形成される。本実施形態によれば、シリコン窒化膜下のシリケイト膜に供給される水酸イオンの絶対量が低減することから、能動素子(MOSFET)及び金属配線の特性の劣化を防止することができる。

【0051】上層絶縁膜として、下層絶縁膜と同一の材料を用いても良い。なお、本発明は、上記実施形態に限定されるものではない。例えば、層間絶縁膜は3層で形成されていたが、拡散抑制絶縁膜と上層絶縁膜との間に異なる絶縁膜を挿入して4層以上で絶縁膜で構成することも可能である。

【0052】また、上記実施形態において、上層配線は、上層絶縁膜上に形成されていたが、図8に示すように、上層絶縁膜33に形成された配線溝63に埋め込み形成することも可能である。

【0053】これは、図2(d)に示す構造に対して、SiO₂膜33に配線溝63を形成し、さらに所定配線溝63内に、前記第1の金属配線20と接続するようにヴィア・ホールを形成する。このヴィア・ホール内にのみWプラグ材41を埋め込み形成した後、全部の配線溝63内にTi膜51、TiN膜52を順次形成し、Al-Cu合金膜53を堆積することによって形成される。

【0054】また、HDPの形成にはICP以外にも、ECR (Electron Cyclotron Resonance) やHelicon (Helicon WaveExcited Plasma) 等が用いることができる。

【0055】さらには、上層絶縁膜として下層絶縁膜として挙げた塗布型膜を用いても良い。その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0056】

【発明の効果】以上説明したように本発明によれば、透水性に富み、且つ不安定な不純物を有する下層絶縁膜、下層絶縁膜より水及び水酸イオンの透過率の低い拡散抑制絶縁膜、比誘電率が下層絶縁膜より高く拡散抑制絶縁膜より低い上層絶縁膜を積層することで、配線容量の低下を図りつつ、能動素子や配線の特性の劣化を防止することができる。

【図面の簡単な説明】

【図1】第1実施形態に係わる半導体装置の構成を示す断面図。

【図2】第1実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図3】第1実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図4】第2実施形態に係わる半導体装置の構成を示す断面図。

【図5】第2実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図6】第3実施形態に係わる半導体装置の構成を示す断面図。

【図7】第3実施形態に係わる半導体装置の構成を示す工程断面図。

【図8】本発明の一変形例に係わる半導体装置の構成を示す断面図。

【符号の説明】

10…半導体基板

11…絶縁膜

20…第1の金属配線(下層配線)

21…Ti膜

30…TiN膜

23…Al-Cu合金膜

31…SiOF膜(下層絶縁膜)

32…シリコン窒化膜(拡散抑制絶縁膜)

33…SiO₂膜(上層絶縁膜)

34…SiO_x(0<x<2)膜(拡散抑制絶縁膜)

35…低誘電率シリケイト膜(拡散抑制絶縁膜)

41…Wプラグ材

50…第2の金属配線(上層配線)

51…Ti膜

40…TiN膜

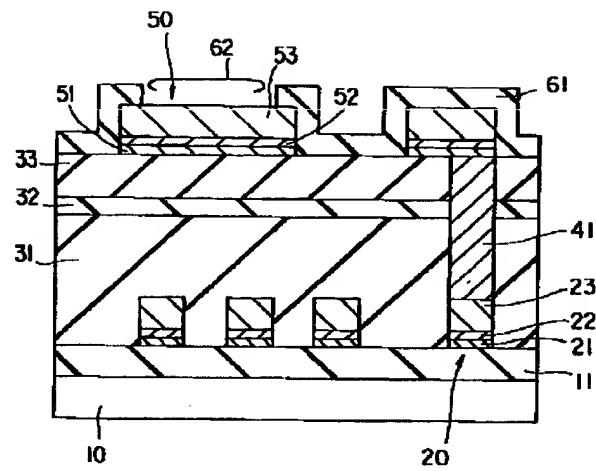
53…Al-Cu合金膜

61…SiON膜

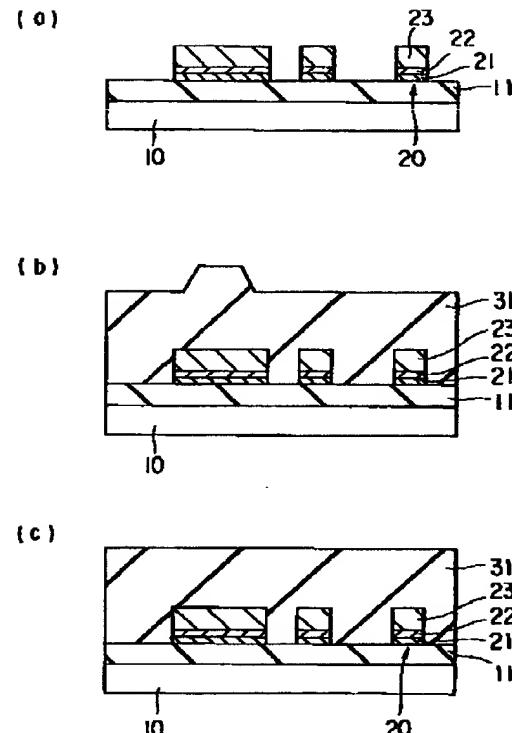
62…接続窓

63…配線溝

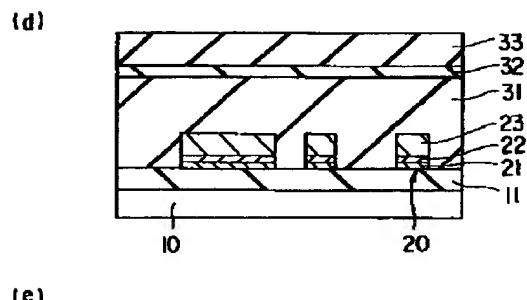
【図1】



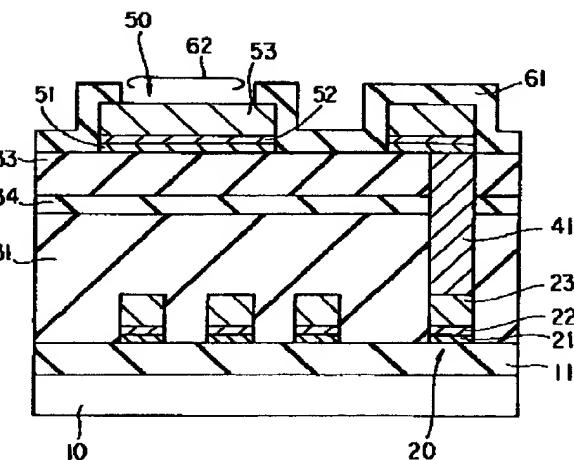
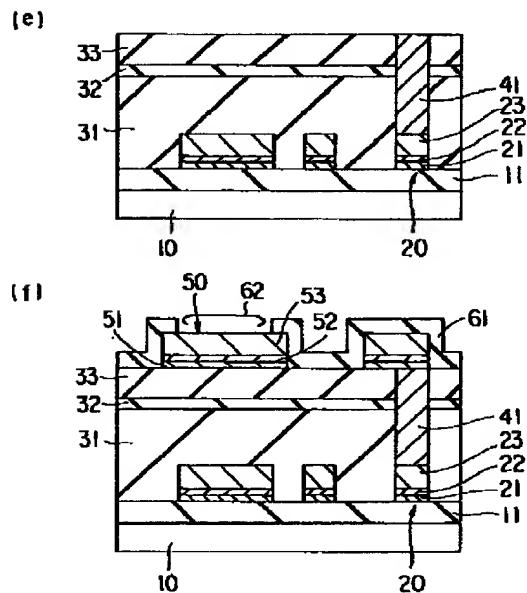
【図2】



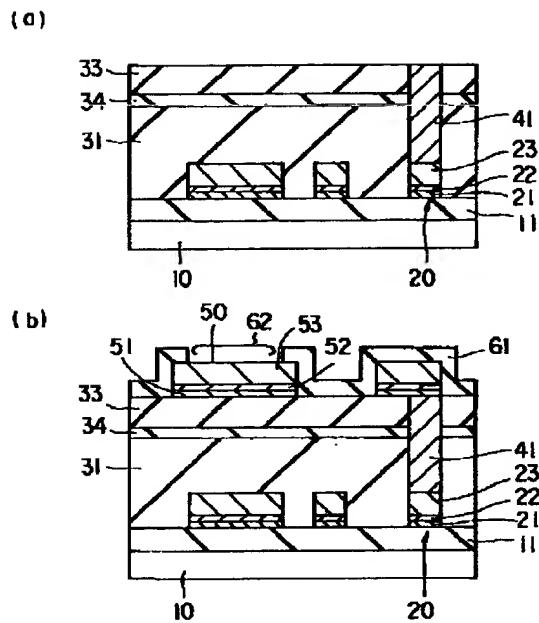
【図3】



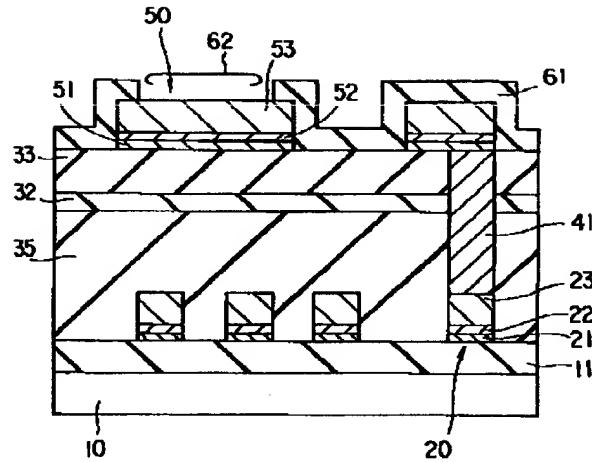
【図4】



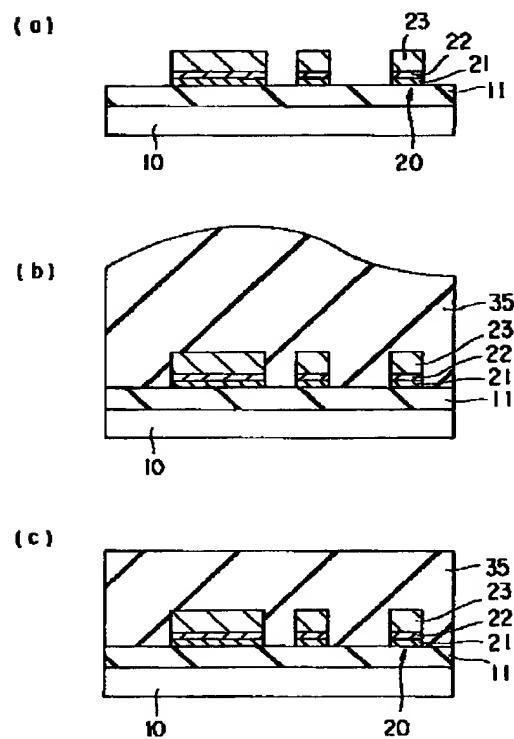
【図5】



【図6】



【図7】



【図8】

